

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-265597

(43)公開日 平成5年(1993)10月15日

(51)IntCl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 0 6 F 1/26

15/78

5 1 0 P 7530-5L

7165-5B

7165-5B

G 0 6 F 1/ 00

3 3 0 A

3 3 4 Z

審査請求 未請求 請求項の数5(全12頁)

(21)出願番号 特願平4-58100

(22)出願日 平成4年(1992)3月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 山口 悟

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

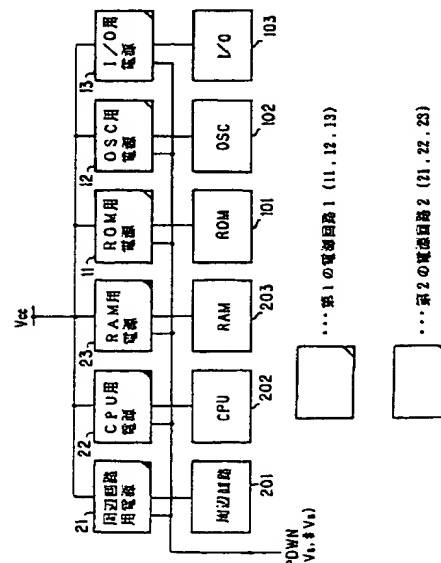
(54)【発明の名称】 低電圧動作マイクロコントローラ

(57)【要約】

【目的】 電池駆動される低電圧動作マイクロコントローラに関し、必要に応じて各機能ブロックに供給する電源電圧を制御して、低消費電力化、動作速度の高速化、或いは、低ノイズ化等の使用目的に対応した低電圧動作マイクロコントローラの提供を目的とする。

【構成】 複数の第1および第2の機能ブロック101, 102, 103; 201, 202, 203を有し、第1の電源電圧と該第1の電源電圧よりも低い第2の電源電圧とにより動作可能な低電圧動作マイクロコントローラであって、前記第1の機能ブロック101, 102, 103 に対してそれぞれ設けられた第1の電源回路 1: 11, 12, 13と、前記第2の機能ブロック201, 202, 203 に対してそれぞれ設けられた第2の電源回路 2: 21, 22, 23とを具備し、前記第1および第2の電源回路 1: 11, 12, 13; 2: 21, 22, 23は、制御信号PDWN; V_{cc} , $\pm V_{s1}$ により選択された所定電圧の出力 V_{cc} ; $V_{cc}+2V_T$; $V_{cc}-2V_T$ を前第1および第2の機能ブロック101, 102, 103; 201, 202, 203に対して印加するように構成する。

本発明に係る低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図



1

【特許請求の範囲】

【請求項1】 複数の第1および第2の機能ブロック(101, 102, 103; 201, 202, 203)を有し、第1の電源電圧と該第1の電源電圧よりも低い第2の電源電圧とにより動作可能な低電圧動作マイクロコントローラであって、前記第1の機能ブロック(101, 102, 103)に対してそれぞれ設けられた第1の電源回路(1: 11, 12, 13)と、前記第2の機能ブロック(201, 202, 203)に対してそれぞれ設けられた第2の電源回路(2: 21, 22, 23)とを具備し、前記第1および第2の電源回路(1: 11, 12, 13; 2: 21, 22, 23)は、制御信号(PDWN; Vs, #Vs)により選択された所定電圧の出力(V_{cc} ; $V_{cc}+2V_T$; $V_{cc}-2V_T$)を前記第1および第2の機能ブロック(101, 102, 103; 201, 202, 203)に対して印加するようになっていて、これを特徴とする低電圧動作マイクロコントローラ。

【請求項2】 前記第1の機能ブロックは、ROM(101)、発振回路(102)および入出力回路(103)を具備し、前記第1の電源回路(1: 11, 12, 13)は、電源電圧が前記第1の電源電圧のときに、該第1の電源電圧を前記第1の機能ブロック(101, 102, 103)に対して印加すると共に、該電源電圧が前記第2の電源電圧のときに、該第2の電源電圧を昇圧した電圧を前記第1の機能ブロック(101, 102, 103)に対して印加するようになっていて、これを特徴とする請求項1の低電圧動作マイクロコントローラ。

【請求項3】 前記第2の機能ブロックは、周辺回路(201)、CPU(202)およびRAM(203)を具備し、前記第2の電源回路(2: 21, 22, 23)は、電源電圧が前記第1の電源電圧のときに、該第1の電源電圧を降圧した電圧を前記第2の機能ブロック(201, 202, 203)に対して印加すると共に、該電源電圧が前記第2の電源電圧のときに、当該第2の電源電圧を前記第2の機能ブロック(201, 202, 203)に対して印加するようになっていて、これを特徴とする請求項1の低電圧動作マイクロコントローラ。

【請求項4】 前記第2の機能ブロックは、周辺回路(201)、CPU(202)およびRAM(203)を具備し、前記第2の電源回路(2: 21, 22, 23)は、電源電圧が前記第1の電源電圧のときに、当該第1の電源電圧を前記第2の機能ブロック(201, 202, 203)に対して印加すると共に、該電源電圧が前記第2の電源電圧のときに、該第2の電源電圧を昇圧した電圧を前記第2の機能ブロック(201, 202, 203)に対して印加するようになっていて、これを特徴とする請求項1の低電圧動作マイクロコントローラ。

【請求項5】 前記制御信号は、低電圧検出回路の出力(PDWN)または予めフラグセットされたレジスタの出力(PDWN; Vs, #Vs)とされている請求項1の低電圧動作マイクロコントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は低電圧動作マイクロコントローラに関し、特に、電池駆動される低電圧動作マイ

2

クロコントローラに関する。近年、民生用機器は、小型化に伴って電池駆動(例えば、 $V_{cc} \leq 3$ ボルト)が要求され、これらの機器に用いられるLSI(マイクロコントローラ)も、低消費電力化、低EMI化および低電圧動作のものが提供されている。さらに、低電圧の電池と通常電圧(外部電源電圧)とが使用可能とされた低電圧動作マイクロコントローラも提供されるようになって来ている。そこで、このような電池および外部電源による動作可能な低電圧動作マイクロコントローラにおいて、各機能ブロックに設ける電源回路の工夫が要望されている。

【0002】

【従来の技術】 従来のマイクロコントローラにおいては、例えば、外部電源を5Vから3V以下に降圧することにより低消費電力化を計ってきた。しかし、例えば、I/O部は、5Vインターフェイスが必要とされる場合があり、また、発振回路、ROM部では、5V動作が回路上必要とされるために、多くのLSIでは、内部昇圧を行って回路マージン対策としていた。

【0003】 図7は従来の低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図である。同図に示されるように、低電圧動作マイクロコントローラは、機能ブロックとして、ROM301、OSC(発振回路)302、I/O(入出力回路)303、周辺回路401、CPU402、および、RAM403を備えている。ここで、例えば、ROM301、OSC302、I/O303の各機能ブロックには、電池による3V程度の駆動時においても5V動作が行えるように、それぞれROM用電源31、OSC用電源32、I/O用電源33が設けられている。

【0004】 図8は図7の低電圧動作マイクロコントローラにおける電源回路の一例を示す図である。同図に示されるように、電源回路3(31, 32, 33)は、3V程度のバッテリー電圧(電池駆動時の電源電圧) V_{cc} を、例えば、5ボルト程度にまで昇圧するための回路であり、容量 C_{31} 、 C_{32} 、 C_{33} 、N型MOSトランジスタ $TN_{31} \sim TN_{39}$ 、および、インバータ I_{31} 、 I_{32} を備えている。この昇圧回路3(31, 32, 33)により、約($V_{cc}+2V_T$: V_T はトランジスタの閾値電圧)の出力電圧 V_0 をROM301、OSC302、I/O303へ出力するようになっていて、ここで、容量 C_{31} は、レベル保持容量であり、トランジスタ TN_{36} 、 TN_{37} 、 TN_{38} 、 TN_{39} により規定される $V_{cc}+2V_T$ の電圧を保持するものである。

【0005】

【発明が解決しようとする課題】 ところで、上述したLSI(低電圧動作マイクロコントローラ)を外外部電源(例えば、5V)で使用する場合、ROM301、OSC302、I/O303の各機能ブロックには、昇圧回路31~33による約($V_{cc}+2V_T$)の出力電圧 V_0 (7V近くの電圧)が印加され、昇圧回路で電流消費が増大することにもなる。一方、例えば、動作速度よりも低ノイズ化が要求さ

3

れるマイクロコントローラにおいては、外部電源電圧（5V）が直接に周辺回路401、CPU402、RAM403に印加されると、それにより電池駆動時よりもノイズ発生が増えて好ましくない場合がある。

【0006】本発明は、上述した従来の低電圧動作マイクロコントローラが有する課題に鑑み、必要に応じて各機能ブロックに供給する電源電圧を制御して、低消費電力化、動作速度の高速化、或いは、低ノイズ化等の使用目的に対応した低電圧動作マイクロコントローラの提供を目的とする。

【0007】

【課題を解決するための手段】本発明によれば、複数の第1および第2の機能ブロックを有し、第1の電源電圧と該第1の電源電圧よりも低い第2の電源電圧とにより動作可能な低電圧動作マイクロコントローラであって、前記第1の機能ブロックに対してそれぞれ設けられた第1の電源回路と、前記第2の機能ブロックに対してそれぞれ設けられた第2の電源回路とを具備し、前記第1および第2の電源回路は、制御信号により選択された所定電圧の出力を前記第1および第2の機能ブロックに対して印加するようになっていることを特徴とする低電圧動作マイクロコントローラが提供される。

【0008】

【作用】本発明の低電圧動作マイクロコントローラによれば、第1の機能ブロックに対してそれぞれ設けられた第1の電源回路、および、第2の機能ブロックに対してそれぞれ設けられた第2の電源回路は、制御信号により選択された所定電圧の出力を第1および第2の機能ブロックに対して印加するようになっている。

【0009】これによって、必要に応じて第1および第2の機能ブロックに供給する電源電圧を制御して、低電圧動作マイクロコントローラを、低消費電力化、動作速度の高速化、或いは、低ノイズ化等の使用目的に対応させることができる。

【0010】

【実施例】以下、図面を参照して本発明に係る低電圧動作マイクロコントローラの実施例を説明する。図1は本発明に係る低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図である。

【0011】図1に示されるように、低電圧動作マイクロコントローラは、機能ブロックとして、ROM101、OSC（発振回路）102、I/O（入出力回路）103、周辺回路201、CPU202、および、RAM203を備えている。ROM101、OSC102、I/O103の各機能ブロック（第1の機能ブロック）には、電池による3V程度の駆動時においてだけ、バッテリー電圧を昇圧した5V程度の電源電圧が印加されるようになっており、それぞれROM用電源11、OSC用電源12、I/O用電源13（第1の電源回路1）が設けられている。また、周辺回路201、CPU202、RAM203の各機能ブロック（第2の機能ブロック）

4

には、電池または外部電源によって、制御信号(PDWN; Vs, #Vs)で選択された所定電圧の出力(Vcc; Vcc+2V_T; Vcc-2V_T)が印加されるように周辺回路用電源21、CPU用電源22、RAM用電源23（第2の電源回路2）が設けられている。

【0012】図2は本発明の低電圧動作マイクロコントローラにおける第1の電源回路1の一実施例を示す図である。図2に示されるように、第1の電源回路1は、容量C₁₁、C₁₂、C₁₃、N型MOSトランジスタTN₁₁~TN₁₉、インバータI₁₁、I₁₂、NORゲートG₁₁、および、P型MOSトランジスタTP₁₁、TP₁₂を備えている。ここで、容量C₁₁、C₁₂、C₁₃は図8に示す従来の昇圧回路3における容量C₃₁、C₃₂、C₃₃に対応し、また、トランジスタTN₁₁~TN₁₉はトランジスタTN₃₁~TN₃₉に対応している。ここで、容量C₁₁は、レベル保持容量であり、トランジスタTN₁₆、TN₁₇、TN₁₈、TN₁₉により規定されるVcc+2V_T（約5V程度）の電圧を保持するものである。尚、V_Tはトランジスタの閾値電圧を示している。

【0013】第1の電源回路1(11, 12, 13)は、3V程度（低電圧）のバッテリー電圧（電池駆動時の電源電圧）Vccが印加された場合にだけ出力電圧V₀を、例えば、5ボルト程度にまで昇圧するための回路であり、電源電圧Vccが、例えば、5ボルト程度（通常電圧；外部電源電圧）の場合には、該電源電圧をそのまま出力するようになっている。

【0014】すなわち、第1の電源回路1において、制御信号PDWNが高レベル(PDWN = 1)の場合、トランジスタTP₁₁はスイッチ・オフでトランジスタTP₁₂はスイッチ・オンとなり、出力電圧V₀としてはトランジスタTP₁₂のソース電圧V₀₂(Vcc)が選択される。逆に、制御信号PDWNが低レベル(PDWN = 0)の場合、トランジスタTP₁₁はスイッチ・オンでトランジスタTP₁₂はスイッチ・オフとなり、出力電圧V₀としてはトランジスタTP₁₁のソース電圧V₀₁が選択される。このとき、制御信号PDWNは、一方の入力にクロック信号CLKが供給されたNORゲートG₁₁の他方にも供給されているため、該NORゲートG₁₁からはクロック信号CLKを反転した信号が出力される。すなわち、トランジスタTP₁₁のソース電圧V₀₁はVcc+2V_Tとなり、その結果、出力電圧V₀はVcc+2V_Tの昇圧された電圧となる。ここで、制御信号PDWNは、低電圧検出回路の出力として生成することができ、電源電圧が通常電圧（例えば、5V）の場合にPDWN = 1で、電源電圧が低電圧（例えば、電池駆動時：3V）の場合にPDWN = 0とすることができる（図4(a)参照）。

【0015】以上により、PDWN = 0 : V₀ ≒ Vcc+2V_T, PDWN = 1 : V₀ ≒ Vccとなり、そして、第1の電源回路1(11, 12, 13)の出力電圧V₀は、それぞれ対応する機能ブロック(101, 102, 103)に印加されることになる。このように、ROM101、OSC102およびI/O103等の機能ブロック（第1の機能ブロック）には、電源電圧

5

が低電圧（バッテリー電圧）のときには昇圧された電圧 $V_{cc}+2V_T$ が印加され、また、通常電圧（外部電源電圧）のときにはその通常電圧 V_{cc} 自身が印加されるようになっている。

【0016】図3は本発明の低電圧動作マイクロコントローラにおける第2の電源回路の一実施例を示す図である。図3に示す第2の電源回路2は、図2に示す第1の電源回路1と基本的には同じであるが、P型MOSトランジスタ TP_{21} , TP_{22} のゲートに供給される制御信号がPDWNおよびその反転信号(#PDWN)ではなく、 V_S 信号および

V_S 信号(V_S 信号の反転信号)となっている点が異なっている。

【0017】すなわち、第2の電源回路2において、容量 C_{21} , C_{22} , C_{23} は図2に示す第1の電源回路1の容量 C_{11} , C_{12} , C_{13} に対応し、また、トランジスタ $TN_{21} \sim TN_{29}$ および TP_{21} , TP_{22} はトランジスタ $TN_{11} \sim TN_{19}$ および TP_{11} , TP_{12} に対応している。さらに、インバータ I_{21} はインバータ I_{11} に対応し、NORゲート G_{21} はNORゲート G_{11} に対応している。そして、トランジスタ TP_{21} のゲートには制御信号 V_S が供給され、トランジスタ TP_{22} のゲートには制御信号 # V_S が供給されている。

【0018】以上の構成を有する第2の電源回路2において、制御信号 V_S が高レベル($V_S = 1$)の場合には、第1の電源回路1と同様に、トランジスタ TP_{21} はスイッチ・オフでトランジスタ TP_{22} はスイッチ・オンとなり、出力電圧 V_0 としてはトランジスタ TP_{12} のソース電圧 V_{02} (V_{cc})が選択される。従って、制御信号PDWNのレベルに関わりなく、出力電圧 V_0 は電圧 V_{cc} となる (PDWN = 1 or 0, $V_S = 1 : V_0 \rightleftharpoons V_{cc}$)。

【0019】また、制御信号 V_S が低レベル($V_S = 0$)の場合、トランジスタ TP_{21} はスイッチ・オンでトランジスタ TP_{22} はスイッチ・オフとなり、出力電圧 V_0 としてはトランジスタ TP_{21} のソース電圧 V_{01} が選択される。このとき、制御信号PDWNは、一方の入力にクロック信号CLK が供給されたNOR ゲート G_{21} の他方に供給されているため、制御信号PDWNが高レベル(PDWN = 1)のとき電圧 V_{01} は $V_{cc}-2V_T$ となり、また、制御信号PDWNが低レベル(PDWN = 0)のとき電圧 V_{01} は $V_{cc}+2V_T$ となる。従って、PDWN = 1, $V_S = 0 : V_0 \rightleftharpoons V_{cc}-2V_T$, PDWN = 0, $V_S = 0 : V_0 \rightleftharpoons V_{cc}+2V_T$ となり、そして、第2の電源回路2 (21, 22, 23) の出力電圧 V_0 は、それぞれ対応する機能ブロック (201, 202, 203) に印加されることになる。

【0020】このように、例えば、ユーザの要求に応じて、周辺回路201, CPU202 およびRAM203 等の機能ブロック (第2の機能ブロック) に対して、電源電圧が低電圧 (バッテリー電圧) のときには昇圧された電圧 $V_{cc}+2V_T$ を印加し、また、通常電圧 (外部電源電圧) のときにはその通常電圧 V_{cc} を印加して、駆動電圧を高くして高速動作を行わせることができる。さらに、周辺回路201, CPU202 およびRAM203 等の機能ブロック (第2

6

の機能ブロック) に対して、電源電圧が通常電圧 (外部電源電圧) のときには降圧された電圧 $V_{cc}-2V_T$ を印加し、また、低電圧 (バッテリー電圧) のときにはその低電圧 V_{cc} をそのまま印加して、消費電力およびノイズ発生を低減することもできる。

【0021】図4は図2および図3に示す第1および第2の電源回路に使用する制御信号を再生する回路例を示す図であり、図5は図3に示す第2の電源回路に使用する制御信号を再生する回路例を示す図である。図4 (a) に示されるように、制御信号PDWNは、N型MOSトランジスタ TN_{41} , TN_{42} , P型MOSトランジスタ TP_{41} およびインバータ I_{41} により構成される低電圧検出回路の出力として生成することができる。さらに、図4 (b) に示されるように、制御信号PDWNは、CPUバスに接続されたレジスタ R_{41} およびインバータ I_{42} で構成したレジスタ回路に予めフラグをセットすることにより生成することができる。

【0022】また、図5に示されるように、制御信号 V_S および# V_S は、図4 (b) の回路と同様に、CPUバスに接続されたレジスタ R_{51} およびインバータ I_{51} で構成したレジスタ回路に予めフラグをセットすることにより生成することができる。ここで、インバータ I_{52} は、制御信号 V_S を反転して制御信号# V_S を生成するためのものである。

【0023】図6は本発明の低電圧動作マイクロコントローラにおける第2の電源回路の変形例を示す図であり、図3の回路を変形したものである。図6に示す第2の電源回路2は、容量 C_{61} , C_{62} , C_{63} , N型MOSトランジスタ $TN_{61} \sim TN_{69}$, インバータ I_{61} , NORゲート G_{61} および、P型MOSトランジスタ TP_{61} , TP_{62} を備えている。図6に示されるように、トランジスタ TN_{64} およびトランジスタ TN_{67} は交差接続されている。そして、図3の回路と同様に、制御信号が(PDWN; V_S , # V_S) によって、 $V_0 \rightleftharpoons V_{cc}-2V_T$, $V_{cc}+2V_T$, V_{cc} が選択されるようになっている。これらの選択動作は、図3と同様であるので省略する。尚、図6に示す第2の電源回路2を第1の電源回路1として使用する場合は、図2および図3の比較から明かなように、制御信号 V_S の代わりとしてトランジスタ TP_{61} のゲートに制御信号PDWNを入力し、また、制御信号# V_S の代わりとしてトランジスタ TP_{62} のゲートに制御信号PDWNの反転信号(#PDWN) を入力するように構成すればよい。

【0024】以上において、第1の電源回路1, 第2の電源回路2, 制御信号PDWN; V_S , # V_S を生成する回路は、他に様々な構成のものを使用することができるのはいうまでもない。

【0025】

【発明の効果】以上、詳述したように、本発明の低電圧動作マイクロコントローラによれば、必要に応じて各機能ブロックに供給する電源電圧を制御して、低消費電力

7

化、動作速度の高速化、或いは、低ノイズ化等の使用目的に対応させることができる。

【図面の簡単な説明】

【図1】本発明に係る低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図である。

【図2】本発明の低電圧動作マイクロコントローラにおける第1の電源回路の一実施例を示す図である。

【図3】本発明の低電圧動作マイクロコントローラにおける第2の電源回路の一実施例を示す図である。

【図4】図2および図3に示す第1および第2の電源回路に使用する制御信号を再生する回路例を示す図である。

【図5】図3に示す第2の電源回路に使用する制御信号を再生する回路例を示す図である。

【図6】本発明の低電圧動作マイクロコントローラにおける第2の電源回路の他の実施例を示す図である。

【図7】従来の低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図である。

8

【図8】図7の低電圧動作マイクロコントローラにおける電源回路の一例を示す図である。

【符号の説明】

1…第1の電源回路

11…ROM用電源

12…OSC用電源

13…I/O用電源

2…第2の電源回路

21…周辺回路用電源

22…CPU用電源

23…RAM用電源

101…ROM

102…OSC

103…I/O

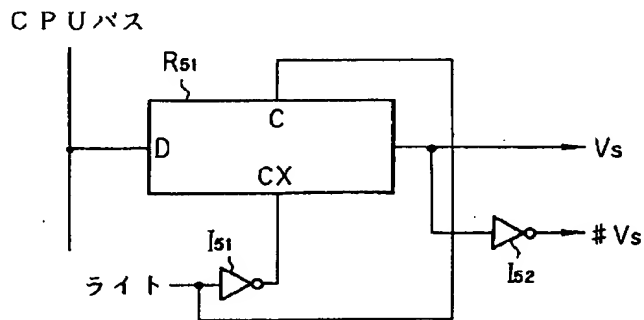
201…周辺回路

202…CPU

203…RAM

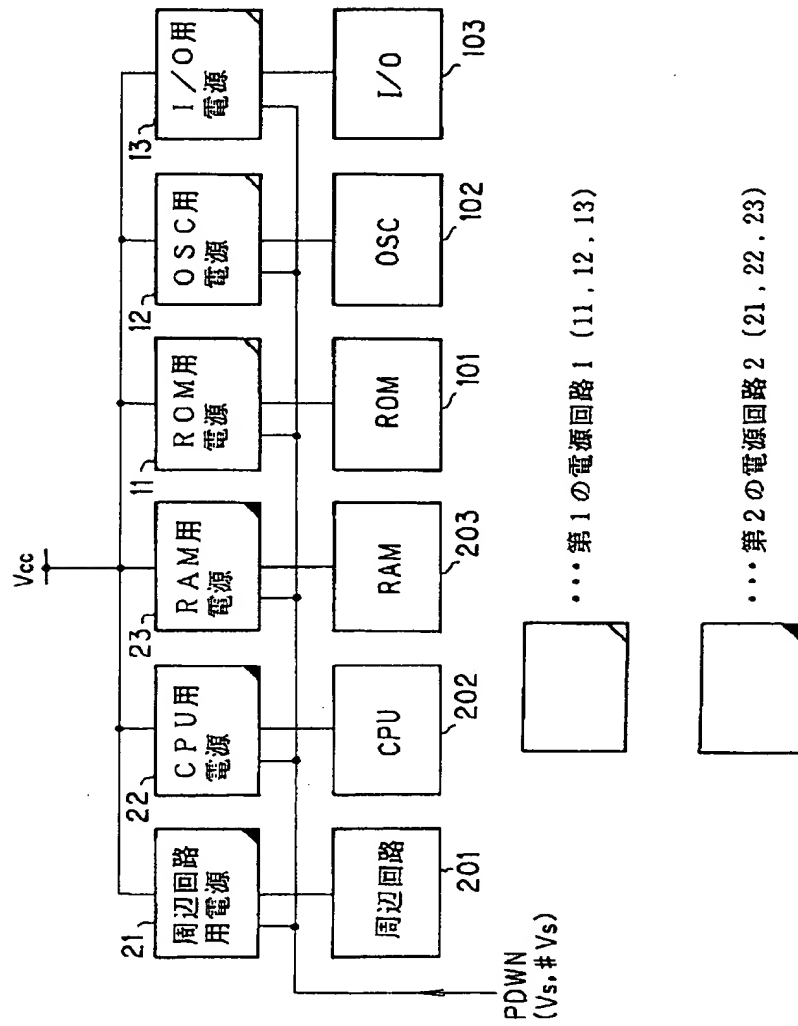
【図5】

図3に示す第2の電源回路に使用する制御信号を再生する回路例を示す図



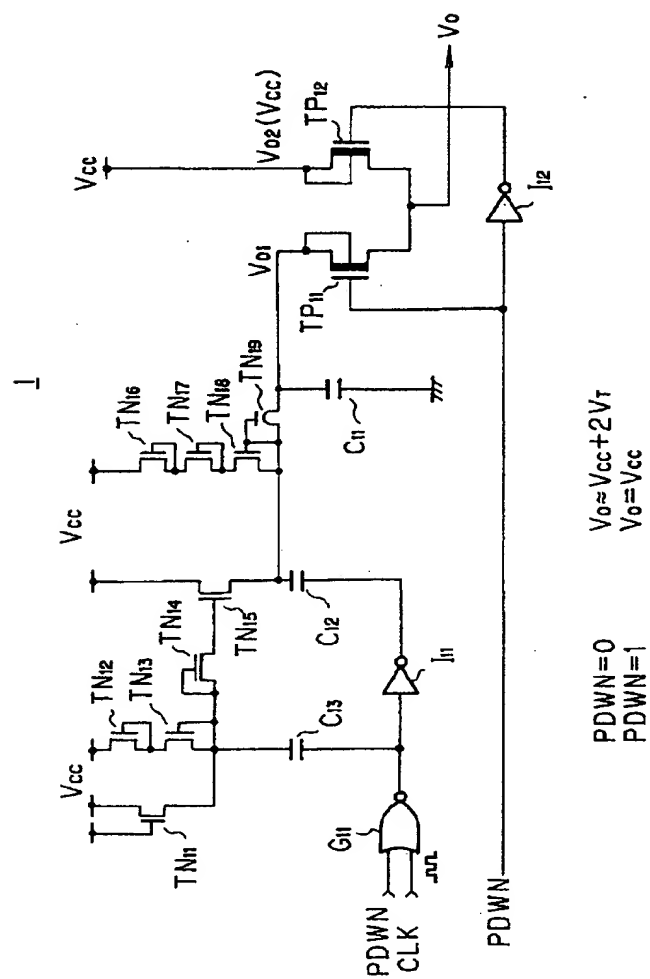
【図1】

本発明に係る低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図



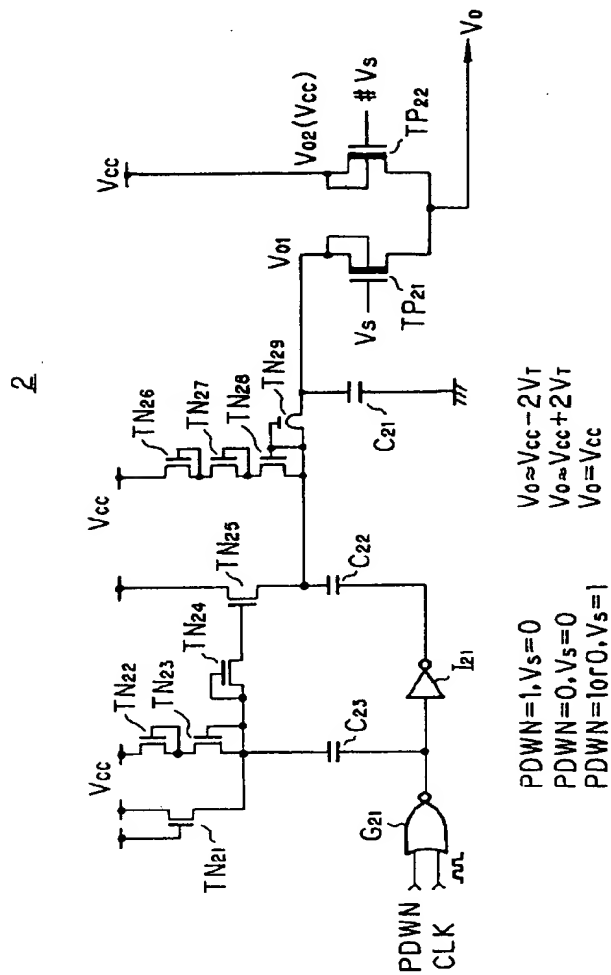
【圖 2】

本発明の低電圧動作マイクロコントローラにおける第1の電源回路の一実施例を示す図



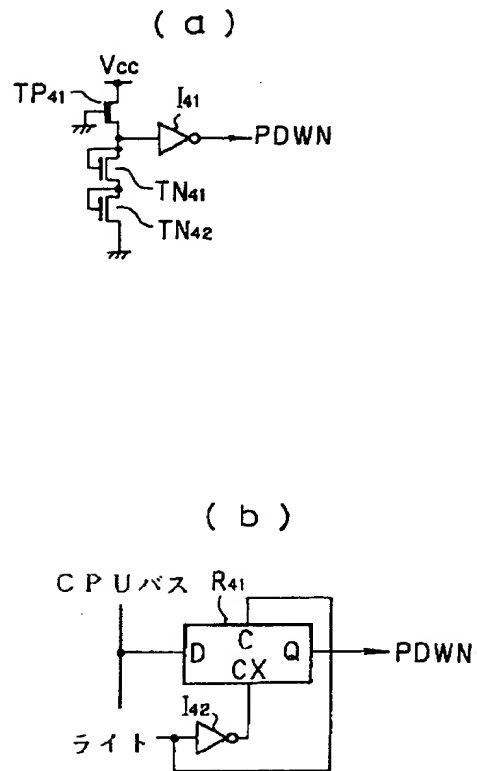
【图 3】

本発明の低電圧動作マイクロコントローラにおける
第２の電源回路の一実施例を示す図



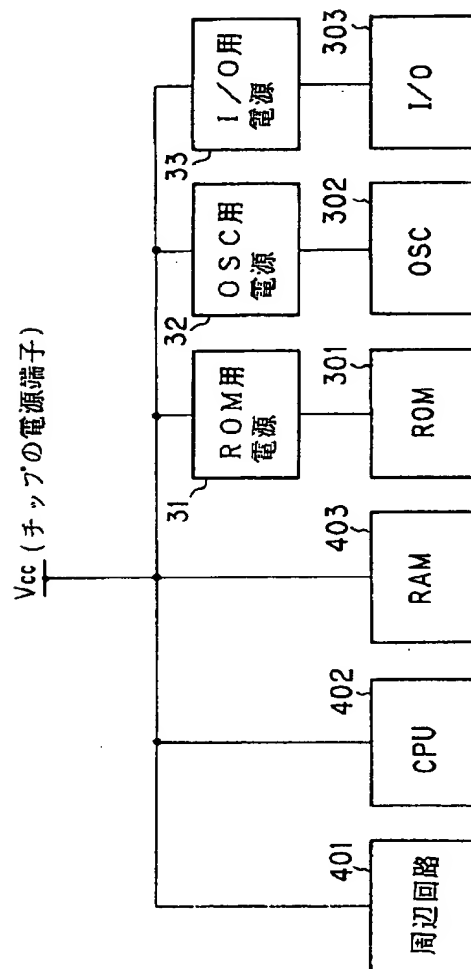
【図4】

図2および図3に示す第1および第2の電源回路に使用する制御信号を再生する回路例を示す図



【図7】

従来の低電圧動作マイクロコントローラのチップ全体を概略的に示すブロック図



【図8】

図7の低電圧動作マイクロコントローラにおける
電源回路の一例を示す図

3

